# 试题1(2017年下半年试题1)

在程序的执行过程中，Cache与主存的地址映射是由（  ）完成的。  
（1）A．操作系统  
B.程序员调度  
C.硬件自动  
D.用户软件

**试题分析**

在程序的执行过程中，Cache与主存的地址映射是由硬件自动完成的。

**试题答案**

（1）C

# 试题2(2017年下半年试题2)

某四级指令流水线分别完成取指、取数、运算、保存结果四步操作。若完成上述操作的时间依次为8ns、9ns、 4ns、8ns，则该流水线的操作周期应至少为（  ）ns 。  
（2）A．4  
B.8  
C.9  
D.33

**试题分析**

流水周期为9ns。

**试题答案**

（2）C

# 试题3(2017年下半年试题3)

内存按字节编址。若用存储容量为32Kx8bit的存储器芯片构成地址从A0000H到DFFFFH的内存，则至少需要（  ）片芯片。  
（3）A．4  
B.8  
C.16  
D.32

**试题分析**

DFFFFH – A0000H + 1 = 40000H=2^18B, 32KB=2^5\*2^10B=2^15B, 2^18B/2^15B=2^3=8片。

**试题答案**

（3）B

# 试题4(2017年下半年试题4)

计算机系统的主存主要是由（  ）构成的。  
（4）A．DRAM  
B.SRAM  
C.Cache  
D.EEPROM

**试题分析**

DRAM：动态随机存取存储器; SRAM: 静态随机存取存储器; Cache: 高速缓存; EEPROM: 电可擦可编程只读存储器。

**试题答案**

（4）A

# 试题5(2017年下半年试题5)

以下关于海明码的叙述中，正确的是（  ）。  
（5）A．海明码利用奇偶性进行检错和纠错  
B.海明码的码距为 1  
C.海明码可以检错但不能纠错  
D.海明码中数据位的长度与校验位的长度必须相同

**试题分析**

海明码既可检错又可纠错。

**试题答案**

（5）A

# 试题6(2017年上半年试题1)

CPU执行算术运算或者逻辑运算时，常将源操作数和结果暂存在（  ）中。  
  
（1）A． 程序计数器 (PC)  
B. 累加器 (AC)  
C. 指令寄存器 (IR)  
D. 地址寄存器 (AR)

**试题分析**

本题考查计算机组成原理中的CPU构成。  
答案应该是累加寄存器，用来暂时存放算术逻辑运算部件ALU运算的结果信息。程序计数器（PC）是存放执行指令的地方，计算之前就要用到。指令寄存器（IR）保存当前正在执行的一条指令。地址寄存器（AR）用来保存当前CPU所要访问的内存单元的地址。

**试题答案**

（1）B

# 试题7(2017年上半年试题2)

要判断字长为 16 位的整数 a 的低四位是否全为 0，则（  ）。  
  
（2）A. 将 a 与0x000F进行"逻辑与"运算，然后判断运算结果是否等于0  
B. 将 a 与0x000F进行"逻辑或"运算，然后判断运算结果是否等于F  
C. 将 a 与0x000F进行"逻辑异或"运算，然后判断运算结果是否等于0  
D. 将 a 与 0x000F 进行"逻辑与"运算，然后判断运算结果是否等于F

**试题分析**

本题考查计算机组成原理中数据运算基础知识。  
在逻辑运算中，设A和B为两个逻辑变量，当且仅当A和B的取值都为“真”时，A与B的值为“真”；否则A与B的值为“假”。当且仅当A和B的取值都为“假”时，A或B的值为“假”；否则A或B的值为“真”。当且仅当A、B的值不同时，A异或B为“真”，否则A异或B为“假”。 对于16位二进制整数a，其与0000000000001111(即十六进制数000F)进行逻辑与运算后，结果的高12位都为0，低4位则保留a的低4位，因此，当a的低4位全为0时，上述逻辑与运算的结果等于0。

**试题答案**

（2）A

# 试题8(2017年上半年试题3)

计算机系统中常用的输入/输出控制方式有无条件传送、中断、程序查询和 DMA方式等。当采用（  ）方式时，不需要 CPU 执行程序指令来传送数据。  
  
（3）A．中断  
B.程序查询  
C.无条件传送  
D.DMA

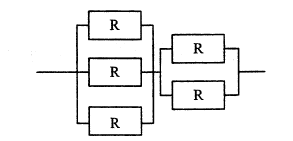
**试题分析**

本题考查DMA方式的特点。在计算机中，实现计算机与外部设备之间数据交换经常使用的方式有无条件传送、程序查询、中断和直接存储器存取(DMA)。其中前三种都是通过CPU执行某一段程序，实现计算机内存与外设间的数据交换。只有DMA方式下，CPU交出计算机系统总线的控制权，不参与内存与外设间的数据交换。而DMA方式工作时，是在DMA控制硬件的控制下，实现内存与外设间数据的直接传送，并不需要CPU参与工作。由于DMA方式是在DMA控制器硬件的控制下实现数据的传送，不需要CPU执行程序，故这种方式传送的速度最快。

**试题答案**

（3）D

# 试题9(2017年上半年试题4)

某系统由下图所示的冗余部件构成。若每个部件的千小时可靠度都为 R ，则该系 统的千小时可靠度为（  ）。  
  
（4）A．(1-R3)(1-R2)  
B.(1-(1-R)3)(1-(1-R)2)  
C.(1-R3)+(1-R2)  
D.(1-(1-R)3)+(1-(1-R)2)

**试题分析**

本题考查系统可靠度的概念。  
串联部件的可靠度=各部件的可靠度的乘积。  
并联部件的可靠度=1-部件失效率的乘积。  
题目中给出的系统是“先并后串”。  
此时先求出三个R并联可靠度为：1-（1-R）3  
然后求出两个R并联可靠度为：1-（1-R）2  
最终整个系统的可靠度是两者之积：（1-（1-R）3）\*（1-（1-R）2）。

**试题答案**

（4）B

# 试题10(2017年上半年试题5)

己知数据信息为 16 位，最少应附加（  ）位校验位，才能实现海明码纠错。  
  
（5）A．3  
B.4  
C.5  
D.6

**试题分析**

本题考查组成原理中的海明校验码。  
只要是海明码按合法的方式编码，就能纠错。所以，本题实际上就是求海明码中校验位的长度。海明码中所需要的校验码位数，有这样的规定的：假设用N表示添加了校验码位后整个信息的二进制位数，用K代表其中有效信息位数，r表示添加的校验码位，它们之间的关系应满足：2r>=K+r+1=N。  
本题中K=16，则要求2r**>=**16+r+1，根据计算可以得知r的最小值为5。

**试题答案**

（5）C

# 试题11(2017年上半年试题6)

以下关于Cache (高速缓冲存储器)的叙述中，不正确的是（  ）。  
  
（6）A． Cache 的设置扩大了主存的容量  
B. Cache 的内容是主存部分内容的拷贝  
C. Cache 的命中率并不随其容量增大线性地提高  
D. Cache 位于主存与 CPU 之间

**试题分析**

本题考查计算机组成原理中的高速缓存基础知识。高速缓存Cache有如下特点：它位于CPU和主存之间，由硬件实现；容量小，一般在几KB到几MB之间；速度一般比主存快5到10倍，由快速半导体存储器制成；其内容是主存内容的副本（所以Cache无法扩大主存的容量），对程序员来说是透明的；Cache既可存放程序又可存放数据。  
Cache存储器用来存放主存的部分拷贝（副本）。控制部分的功能是：判断CPU要访问的信息是否在Cache存储器中，若在即为命中，若不在则没有命中。命中时直接对 Cache存储器寻址。未命中时，若是读取操作，则从主存中读取数据，并按照确定的替换原则把该数据写入Cache存储器中：若是写入操作，则将数据写入主存即可。

**试题答案**

（6）A

# 试题12(2017年上半年试题23)

某文件管理系统在磁盘上建立了位示图(bitmap) ，记录磁盘的使用情况。若计算机 系统的字长为 32 位，磁盘的容量为 300GB ，物理块的大小为4MB ，那么位示图的大小需要（  ）个字。  
  
（23）A．1200  
B.2400  
C.6400  
D.9600

**试题分析**

由于磁盘容量为300GB，物理块大小4MB，所以共有300\*1024/4=75\*1024块物理块，位示图用每1位表示1个磁盘块的使用情况，1个字是32位，所以1个字可以表示32块物理块使用情况，那么需要75\*1024/32＝2400个字表示使用情况。

**试题答案**

（23）B

# 试题13(2016年下半年试题1)

在程序运行过程中，CPU需要将指令从内存中取出并加以分析和执行。CPU依据（  ）来区分在内存中以二进制编码形式存放的指令和数据。  
（1）A．指令周期的不同阶段  
B.指令和数据的寻址方式  
C.指令操作码的译码结果  
D.指令和数据所在的存储单元

**试题分析**

指令和数据均存放在内存中，通常由PC（程序计数器）提供存储单元地址取出的是指令，由指令地址码部分提供存储单元地址取出的是数据。因此通过不同的寻址方式来区别指令和数据。

**试题答案**

（1）B

# 试题14(2016年下半年试题2)

计算机在一个指令周期的过程中，为从内存读取指令操作码，首先要将（  ）的内容送到地址总线上。  
（2）A．指令寄存器（IR）  
B.通用寄存器（GR）  
C.程序计数器（PC）  
D.状态寄存器（PSW）

**试题分析**

PC（程序计数器）是用于存放下一条指令所在单元的地址。当执行一条指令时，处理器首先需要从PC中取出指令在内存中的地址，通过地址总线寻址获取。

**试题答案**

（2）C

# 试题15(2016年下半年试题3)

设16位浮点数，其中阶符1位、阶码值6位、数符1位、尾数8位。若阶码用移码表示，尾数用补码表示，则该浮点数所能表示的数值范围是（  ）。  
（3）A．-264 ～（1-2-8）264  
B.-263～（1-2-8）263  
C.-（1-2-8）264 ～（1-2-8）264  
D.-（1-2-8）263 ～（1-2-8）263

**试题分析**

如果浮点数的阶码(包括1位阶符)用R位的称码表示，尾数(包括1位数符)用M位的补码表示，则浮点数表示的数值范围如下。  
IMG_268

**试题答案**

（3）B

# 试题16(2016年下半年试题4)

已知数据信息为16位，最少应附加（  ）位校验位，以实现海明码纠错。  
（4）A．3  
B.4  
C.5  
D.6

**试题分析**

海明码的构造方法是：在数据位之间插入k个校验位，通过扩大码距来实现检错和纠错。设数据位是n位，校验位是k位，则n和k的必须满足以下的关系。2K-1≥n+k  
         数据为16位时，至少需要5位校验位。25-1≥16+5

**试题答案**

（4）C

# 试题17(2016年下半年试题5)

将一条指令的执行过程分解为取指、分析和执行三步，按照流水方式执行，若取指时间t取指=4△t、分析时间t分析=2△t、执行时间t执行=3△t，则执行完100条指令，需要的时间为（  ）△t。  
（5）A．200  
B.300  
C.400  
D.405

**试题分析**

         第一条指令执行时间+(指令数-1)\*各指令段执行时间中最大的执行时间。  
         4△t + 3△t + 2△t +（100-1）X 4△t = 405△t

**试题答案**

（5）D

# 试题18(2016年下半年试题6)

以下关于Cache与主存间地址映射的叙述中，正确的是（  ）。  
（6）A．操作系统负责管理Cache与主存之间的地址映射  
B.程序员需要通过编程来处理Cache与主存之间的地址映射  
C.应用软件对Cache与主存之间的地址映射进行调度  
D.由硬件自动完成Cache与主存之间的地址映射

**试题分析**

在程序的执行过程中，Cache与主存的地址映射是由硬件自动完成的。

**试题答案**

（6）D

# 试题19(2016年下半年试题20)

逻辑表达式求值时常采用短路计算方式。“&&"、“||”、“！”分别表示逻辑与、或、非运算，“&&”、“||”为左结合，“！”为右结合，优先级从高到低为  “！”、“&&”、“||”。对逻辑表达式“x&&（y II!z）”进行短路计算方式求值时，（  ）。    
  
（20）A．x为真，则整个表达式的值即为真，不需要计算y和z的值  
B.x为假，则整个表达式的值即为假，不需要计算y和z的值  
C.x为真，再根据z的值决定是否需要计算y的值  
D.x为假，再根据y的值决定是否需要计算z的值

**试题分析**

在进行逻辑与“&&”运算时，只有当两个操作数的值为真，最后的结果才会为真。因此一旦x的值为假，整个运算表达式的值则为假。

**试题答案**

（20）B

# 试题20(2016年下半年试题34)

计算机系统的（  ）可以用MTBF/（1+MTBF）来度量，其中MTBF为平均失效间隔时间。  
  
（34）A．可靠性  
B.可用性  
C.可维护性  
D.健壮性

**试题分析**

这是可靠性的度量指标

**试题答案**

（34）A

# 试题21(2016年上半年试题1)

VLIW是（  ）的简称。  
（1）A．复杂指令系统计算机  
B.超大规模集成电路  
C.单指令流多数据流  
D.超长指令字

**试题分析**

VLIW：（Very Long Instruction Word，超长指令字）一种非常长的指令组合，它把许多条指令连在一起，增加了运算的速度。

**试题答案**

（1）D

# 试题22(2016年上半年试题2)

主存与Cache的地址映射方式中，（  ）方式可以实现主存任意一块装入Cache中任意位置，只有装满才需要替换。  
（2）A．全相联   
B.直接映射   
C.组相联   
D.串并联

**试题分析**

全相联映射是指主存中任一块都可以映射到Cache中任一块的方式，也就是说，当主存中的一块需调入Cache时，可根据当时Cache的块占用或分配情况，选择一个块给主存块存储，所选的Cache块可以是Cache中的任意一块。

**试题答案**

（2）A

# 试题23(2016年上半年试题3)

如果“2X”的补码是“90H”，那么X的真值是（  ）。  
（3）A．72   
B.-56   
C.56   
D.111

**试题分析**

90H 即为二进制的：10010000。说明此数为负数，其反码为：10001111，其原码为：11110000，即-112，2X=-112，所以X=-56。

**试题答案**

（3）B

# 试题24(2016年上半年试题4)

移位指令中的（  ）指令的操作结果相当于对操作数进行乘2操作。  
（4）A．算术左移   
B.逻辑右移   
C.算术右移   
D.带进位循环左移

**试题分析**

移位运算符就是在二进制的基础上对数字进行平移。按照平移的方向和填充数字的规则分为三种：<<(左移)、>>(带符号右移)和>>>(无符号右移)。在数字没有溢出的前提下，对于正数和负数，左移一位都相当于乘以2的1次方，左移n位就相当于乘以2的n次方。

**试题答案**

（4）A

# 试题25(2016年上半年试题5)

内存按字节编址，从A1000H到B13FFH的区域的存储容量为（  ）KB。  
（5）A．32   
B.34   
C.65   
D.67

**试题分析**

（B13FF+1-A1000H)/1024=65KB。

**试题答案**

（5）C

# 试题26(2016年上半年试题6)

以下关于总线的叙述中，不正确的是（  ）。  
（6）A．并行总线适合近距离高速数据传输   
B.串行总线适合长距离数据传输   
C.单总线结构在一个总线上适应不同种类的设备，设计简单且性能很高   
D.专用总线在设计上可以与连接设备实现最佳匹配

**试题分析**

在单总线结构中，CPU与主存之间、CPU与I/O设备之间、I/O设备与主存之间、各种设备之间都通过系统总线交换信息。单总线结构的优点是控制简单方便，扩充方便。但由于所有设备部件均挂在单一总线上，使这种结构只能分时工作，即同一时刻只能在两个设备之间传送数据，这就使系统总体数据传输的效率和速度受到限制，这是单总线结构的主要缺点。

**试题答案**

（6）C

# 试题27(2016年上半年试题25)

某磁盘有100个磁道，磁头从一个磁道移至另一个磁道需要6ms。文件在磁盘上非连续存放，逻辑上相邻数据块的平均距离为10个磁道，每块的旋转延迟时间及传输时间分别为100ms和20ms，则读取一个100块的文件需要（  ）ms。  
（25）A．12060   
B.12600   
C.18000   
D.186000

**试题分析**

(6x10+100+20)x100=18000

**试题答案**

（25）C

# 试题28(2015年下半年试题2)

虚拟存储体系由（  ）两级存储器构成。  
（2）A．主存-辅存   
B.寄存器-Cache   
C.寄存器-主存   
D.Cache-主存

**试题分析**

虚拟存储器是一个容量非常大的存储器的逻辑模型，不是任何实际的物理存储器。它借助于磁盘等辅助存储器来扩大主存容量，使之为更大或更多的程序所使用。  
虚拟存储器指的是主存-外存层次。它以透明的方式给用户提供了一个比实际主存空间大得多的程序地址空间。此时的程序的逻辑地址称为虚拟地址（虚地址），程序的逻辑地址空间称为虚拟地址空间。物理地址（实地址）由CPU地址引脚送出，它是用于访问主存的地址。设CPU地址总线的宽度为m位，那么物理地址空间的大小用2m来表示。

**试题答案**

（2）A

# 试题29(2015年下半年试题3)

浮点数能够表示的数的范围是由其（  ）的位数决定的。  
（3）A．尾数  
B.阶码   
C.数符  
D.阶符

**试题分析**

浮点数能表示的数的范围由阶码的位数决定，精度由尾数的位数决定。

**试题答案**

（3）B

# 试题30(2015年下半年试题4)

在机器指令的地址字段中，直接指出操作数本身的寻址方式称为（  ）。  
（4）A．隐含寻址   
B.寄存器寻址   
C.立即寻址   
D.直接寻址

**试题分析**

立即寻址是一种特殊的寻址方式，指令中在操作码字段后面的部分不是通常意义上的操作数地址，而是操作数本身，也就是说数据就包含在指令中，只要取出指令，也就取出了可以立即使用的操作数。  
在直接寻址中，指令中地址码字段给出的地址A就是操作数的有效地址，即形式地址等于有效地址。  
间接寻址意味着指令中给出的地址A不是操作数的地址，而是存放操作数地址的主存单元的地址，简称操作数地址的地址。  
寄存器寻址指令的地址码部分给出了某一个通用寄存器的编号Ri，这个指定的寄存器中存放着操作数。

**试题答案**

（4）C

# 试题31(2015年下半年试题5)

内存按字节编址从B3000H到DABFFH的区域其存储容量为（  ）。  
（5）A．123KB  
B.159KB  
C.163KB  
D.194KB

**试题分析**

本题考查计算机组成基础知识。  
直接计算16进制地址包含的存储单元个数即可。  
DABFFH-B3000H+1=27C00H=162816=159k，按字节编址，故此区域的存储容量为159kB。

**试题答案**

（5）B

# 试题32(2015年下半年试题6)

CISC是（  ）的简称。  
（6）A．复杂指令系统计算机  
B.超大规模集成电路  
C.精简指令系统计算机  
D.超长指令字

**试题分析**

CISC是复杂指令系统计算机，RISC是精简指令系统计算机。

**试题答案**

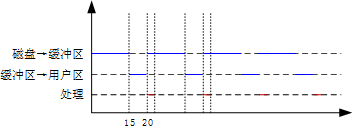
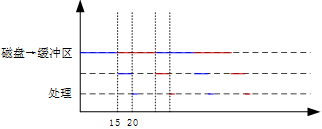
（6）A

# 试题33(2015年下半年试题25-26)

假设磁盘块与缓冲区大小相同，每个盘块读入缓冲区的时间为15μs，由缓冲区送至用户区的时间是5μs，在用户区内系统对每块数据的处理时间为1μs，若用户需要将大小为10个磁盘块的Doc1文件逐块从磁盘读入缓冲区，并送至用户区进行处理，那么采用单缓冲区需要花费的时间为（  ）μs；采用双缓冲区需要花费的时间为（  ）μs。

（25）A．150   
B.151   
C.156   
D.201   
  
（26）A．150   
B.151   
C.156   
D.201

**试题分析**

单缓冲区：(15+5)\*10+1=201  
双缓冲区：15\*10+5+1=156

**试题答案**

（25）D（26）C

# 试题34(2015年上半年试题1)

机器字长为n位的二进制数可以用补码来表示（  ）个不同的有符号定点小数。  
（1）A．2n  
B.2n-1  
C.2n-1  
D.2n-1+1

**试题分析**

补码表示定点小数，范围是： [-1,(1-2^(-n+1))]，这个范围一共有2n个数。

**试题答案**

（1）A

# 试题35(2015年上半年试题2)

计算机中CPU对其访问速度最快的是（  ）。  
（2）A．内存   
B.Cache   
C.通用寄存器   
D.硬盘

**试题分析**

题目中的存储设备按访问速度排序为：通用寄存器> Cache>内存>硬盘。

**试题答案**

（2）C

# 试题36(2015年上半年试题3)

Cache的地址映像方式中，发生块冲突次数最小的是（  ）。  
（3）A．全相联映像   
B.组相联映像   
C.直接映像   
D.无法确定的

**试题分析**

全相联映像块冲突最小，其次为组相联映像，直接映像块冲突最大。

**试题答案**

（3）A

# 试题37(2015年上半年试题4)

计算机中CPU的中断响应时间指的是（  ）的时间。  
（4）A．从发出中斯请求到中断处理结束  
B.从中断处理开始到中断处理结束  
C.CPU分析判断中断请求  
D.从发出中断请求到开始进入中断处理程序

**试题分析**

本题考查计算机系统的基础知识。  
中断系统是计算机实现中断功能的软硬件总称。一般在CPU中设置中断机构，在外设接口中设置中断控制器，在软件上设置相应的中断服务程序。中断源在需要得到CPU服务时，请求CPU暂停现行工作转向为中断源服务，服务完成后，再让CPU回到原工作状态继续完成被打断的工作。中断的发生起始于中断源发出中断请求，中断处理过程中，中断系统需要解决一系列问题，包括中断响应的条件和时机，断点信息的保护与恢复，中断服务程序入口、中断处理等。中断响应时间，是指从发出中断请求到开始进入中断服务程序所需的时间。

**试题答案**

（4）D

# 试题38(2015年上半年试题5)

总线宽度为32bit，时钟频率为200MHz，若总线上每5个时钟周期传送一个32bit的字，则该总线的带宽为（  ）MB/S。  
（5）A．40   
B.80   
C.160   
D.200

**试题分析**

200M/5\*32bit /8bit=160MB/S

**试题答案**

（5）C

# 试题39(2015年上半年试题6)

以下关于指令流水线性能度量的叙述中，错误的是（  ）。  
（6）A．最大吞吐率取决于流水线中最慢一段所需的时间   
B.如果流水线出现断流，加速比会明显下降   
C.要使加速比和效率最大化应该对流水线各级采用相同的运行时间   
D.流水线采用异步控制会明显提高其性能

**试题分析**

采用异步控制方式在给流水线提速的同时，会明显增加流水线阻塞的概率，所以不会明显提高整体性能。

**试题答案**

（6）D

# 试题40(2014年下半年试题1)

三总线结构的计算机总线系统由（  ）组成。  
（1）A．CPU总线、内存总线和IO总线   
B.数据总线、地址总线和控制总线   
C.系统总线、内部总线和外部总线   
D.串行总线、并行总线和PCI总线

**试题分析**

计算机内部总线为三总线结构，它们分别是地址总线、数据总线和控制总线。  
数据总线：传送数据信息，CPU一次传输的数据与数据总线带宽相等  
控制总线：传送控制信号和时序信号，如读/写、片选、中断响应信号等  
地址总线：传送地址，它决定了系统的寻址空间

**试题答案**

（1）B

# 试题41(2014年下半年试题2)

计算机采用分级存储体系的主要目的是为了解决（  ）问题。  
（2）A．主存容量不足   
B.存储器读写可靠性   
C.外设访问效率   
D.存储容量、成本和速度之间的矛盾

**试题分析**

本题考查存储系统的基础知识。

计算机存储系统的设计主要考虑容量、速度和成本三个问题。容量是存储系统的基础，都希望配置尽可能大的存储系统；同时要求存储系统的读写速度能与处理器的速度相匹配；此外成本也应该在一个合适的范围之内。但这三个目标不可能同时达到最优。一般情况下，存储设备读写速度越快，平均单位容量的价格越高，存储容量越小；反之，存储设备读写速度越慢，平均单位容量的价格越低，存储容量越大。为了在这三者之间取得平衡，就采用分级的存储体系结构，由寄存器、高速缓存、主内存、硬盘存储器、磁带机和光盘存储器等构成。操作系统经常访问较小、较贵而快速的存储设备，以较大、较便宜而读写速度较慢的存储设备作后盾。在整体上通过对访问频率的控制来提高存储系统的效能。

**试题答案**

（2）D

# 试题42(2014年下半年试题3)

属于CPU中算术逻辑单元的部件是（  ）。  
（3）A．程序计数器   
B.加法器   
C.指令寄存器   
D.指令译码器

**试题分析**

运算器：

① 算术逻辑单元ALU

② 累加寄存器

③ 数据缓冲寄存器

④ 状态条件寄存器

控制器：

① 程序计数器PC

② 指令寄存器IR

③ 指令译码器

④ 时序部件

**试题答案**

（3）B

# 试题43(2014年下半年试题4)

内存按字节编址从A5000H到DCFFFH的区域其存储容量为（  ）。  
（4）A．123KB   
B.180KB   
C.223KB   
D.224KB

**试题分析**

DCFFFH+1-A5000H=38000H=224KB

**试题答案**

（4）D

# 试题44(2014年下半年试题5)

以下关于RISC和CISC的叙述中，不正确的是（  ）。  
（5）A．RISC通常比CISC的指令系统更复杂   
B.RISC通常会比CISC配置更多的寄存器   
C.RISC编译器的子程序库通常要比CISC编译器的子程序库大得多   
D.RISC比CISC更加适合VLSI工艺的规整性要求

**试题分析**

本题考查计算机复杂指令集。

CISC计算机指复杂指令集计算机，是20世纪六、七十年代发展起来的系列计算机。这种计算机所支持的指令系统趋于多用途、强功能化。指令系统围绕着缩小与高级语言的语义差距以及有利于操作系统的优化而设计。指令系统的复杂化使得设计周期变长，正确性难于保证，不易维护。而且在复杂的指令系统中，只有少数基本指令是经常使用的，需要大量硬件支持的复杂指令利用率却很低。所以在70年代末，随着VLSI技术的发展产生了RISC计算机。

RISC计算机指精简指令集计算机，这种计算机有下列特点。

(1)指令系统中只包含使用频率较高但不复杂的指令。

(2)指令长度固定，指令格式少，寻址方式少。

(3)只有存取数指令访问主存，其他指令都在寄存器之间运算。

(4)大部分指令在一个机器周期内完成，采用流水技术。

(5)CPU中增加了通用寄存器的数量。

(6)硬联逻辑控制，不用微程序控制技术。

(7)采用优化的编译，以有效地支持高级语言。

**试题答案**

（5）A

# 试题45(2014年下半年试题6)

Flynn分类法基于倍息流特征将计算机分成4类，其中（  ）只有理论意义而无实例。  
（6）A．SISD   
B.MISD   
C.SIMD   
D.MIMD

**试题分析**

Flynn于1972年提出了计算平台的Flynn分类法，主要根据指令流和数据流来分类，共分为四种类型的计算平台：

单指令流单数据流机器（SISD）

SISD机器是一种传统的串行计算机，它的硬件不支持任何形式的并行计算，所有的指令都是串行执行。并且在某个时钟周期内，CPU只能处理一个数据流。因此这种机器被称作单指令流单数据流机器。早期的计算机都是SISD机器，如冯诺.依曼架构，如IBM PC机，早期的巨型机和许多8位的家用机等。

单指令流多数据流机器（SIMD）

SIMD是采用一个指令流处理多个数据流。这类机器在数字信号处理、图像处理、以及多媒体信息处理等领域非常有效。

Intel处理器实现的MMXTM、SSE（Streaming SIMD Extensions）、SSE2及SSE3扩展指令集，都能在单个时钟周期内处理多个数据单元。也就是说我们现在用的单核计算机基本上都属于SIMD机器。

多指令流单数据流机器（MISD）

MISD是采用多个指令流来处理单个数据流。由于实际情况中，采用多指令流处理多数据流才是更有效的方法，因此MISD只是作为理论模型出现，没有投入到实际应用之中。

多指令流多数据流机器（MIMD）

MIMD机器可以同时执行多个指令流，这些指令流分别对不同数据流进行操作。最新的多核计算平台就属于MIMD的范畴，例如Intel和AMD的双核处理器等都属于MIMD。

**试题答案**

（6）B

# 试题46(2014年下半年试题25-26)

假设磁盘块与缓冲区大小相同，每个盘块读入缓冲区的时间为10μs，由缓冲区送至用户区的时间是5μs，系统对每个磁盘块数据的处理时间为2μs。若用户需要将大小为10个磁盘块的Docl文件逐块从磁盘读入缓冲区，并送至用户区进行处理，那么采用单缓冲区需要花费的时间为（  ）μs；采用双缓冲区需要花费的时间为（  ）μs。  
（25）A．100  
B.107  
C.152  
D.170  
  
（26）A．100  
B.107  
C.152  
D.170

**试题分析**

单缓冲区：(10+5)\*10+2=152

双缓冲区：10\*10+5+2=107

**试题答案**

（25）C（26）B

# 试题47(2014年上半年试题1)

在CPU中，常用来为ALU执行算术逻辑运算提供数据并暂存运算结果的寄存器是（  ）。

（1）A．程序计数器  
B.状态寄存器  
C.通用寄存器  
D.累加寄存器

**试题分析**

解析：本题考查寄存器的类型和特点。  
  寄存器是CPU中的一个重要组成部分，它是CPU内部的临时存储单元。寄存器既可以用来存放数据和地址，也可以存放控制信息或CPU工作时的状态。在CPU中增加寄存器的数量，可以使CPU把执行程序时所需的数据尽可能地放在寄存器件中，从而减少访问内存的次数，提高其运行速度。但是寄存器的数目也不能太多，除了增加成本外，由于寄存器地址编码增加也会对增加指令的长度。CPU中的寄存器通常分为存放数据的寄存器、存放地址的寄存器、存放控制信息的寄存器、存放状态信息的寄存器和其他寄存器等类型。  
  .程序计数器用于存放指令的地址。令当程序顺序执行时，每取出一条指令，PC内容自动增加一个值，指向下一条要取的指令。当程序出现转移时，则将转移地址送入PC，然后由PC指向新的程序地址。  
  .程序状态寄存器用于记录运算中产生的标志信息，典型的标志为有进位标志位、零标志位、符号标志位、溢出标志位、奇偶标志等。  
  .地址寄存器包括程序计数器、堆栈指示器、变址寄存器、段地址寄存器等，用于记录各种内存地址。  
  .累加寄存器是一个数据寄存器，在运算过程中暂时存放被操作数和中间运算结果，累加器不能用于长时间地保存一个数据。

**试题答案**

（1）D

# 试题48(2014年上半年试题2)

某机器字长为n，最高位是符号位，其定点整数的最大值为（  ）。

（2）A．2n-1  
B.2n-1-1  
C.2n  
D.2n-1

**试题分析**

如下图所示：  
IMG_271  
最大值为n-1位（符号位）为0（正数），从n-2到0位都为1，值为2n-1-1。

**试题答案**

（2）B

# 试题49(2014年上半年试题3)

海明码利用奇偶性检错和纠错，通过在n个数据位之间插入k个检验位，扩大数据编码的码距。若n=48，则k应为（  ）。

（3）A．4  
B.5  
C.6  
D.7

**试题分析**

解析：  
设：N为待发送海明码的总位数，K是有效信息位数，r是校验位个数（分成r组作奇偶校验，能产生r位检错信息）  
校验位的个数r应满足公式 ：N=K＋r ≤ 2^r－1。

此题中n = 48，校验位个数为k，则n≤2^k-1，即48+k≤2^k-1，则k为6。

注意区分公式中的K、r与题目中的k，题目中的k为公式中的r。

**试题答案**

（3）C

# 试题50(2014年上半年试题4-5)

通常可以将计算机系统中执行一条指令的过程分为取指令，分析和执行指令3步。若取指令时间为4△t，分析时间为2△t。执行时间为3△t，按顺序方式从头到尾执行完600条指令所需时间为（  ）△t；若按照执行第i条，分析第i+1条，读取第i+2条重叠的流水线方式执行指令，则从头到尾执行完600条指令所需时间为（  ）△t。

（4）A．2400  
B.3000  
C.3600  
D.5400  
  
（5）A．2400  
B.2405  
C.3000  
D.3009

**试题分析**

按顺序方式执行时间为（4+2+3）△t \* 600=5400△t  
流水线方式：单条指令所需时间+（n-1）\*（流水线周期），其中，流水线周期是指：指令分段执行中时间最长的一段。该题中时间最长的一段为4△t，所以流水线的周期为：4△t；所以该题按照流水线方式执行的时间为：（4+2+3）△t+（600-1）4△t=2405△t

**试题答案**

（4）D（5）B

# 试题51(2014年上半年试题6)

若用256K×8bit的存储器芯片，构成地址40000000H到400FFFFFH且按字节编址的内存区域，则需（  ）片芯片。

（6）A．4  
B.8  
C.16  
D.32

**试题分析**

内存区域从40000000H到40000000H，则其拥有的字节数为：  
400FFFFFH － 40000000H ＋ 1 = 100000H=220=1024K  
该内存区域有1024K个字节，其空间表示为1024K×8bit，题干中给出一个芯片的空间容量为256K × 8bit，需要的此空间大小的芯片数量为（1024K×8）/（256K × 8）= 4片。

**试题答案**

（6）A

# 试题52(2014年上半年试题31)

在屏蔽软件错误的容错系统中，冗佘附加技术的构成不包括（  ）。

（31）A．关键程序和数据的冗余存储及调用   
B.冗余备份程序的存储及调用   
C.实现错误检测和错误恢复的程序   
D.实现容错软件所需的固化程序

**试题分析**

冗余是指在正常系统运行所需的基础上加上一定数量的资源，包括信息、时间、硬件、和软件。冗余是容错技术的基础，通过冗余资源的加入，可以使系统的可靠性得到较大的提高。主要的冗余技术有结构冗余（硬件冗余和软件冗余）、信息冗余、时间冗余和冗余附加四种。  
1．结构冗余  
结构冗余是常用的冗余技术，按其工作方式，可分为静态冗余、动态冗余和混合冗余三种。  
（1）静态冗余。静态冗余又称为屏蔽冗余或被动冗余，常用的有三模冗余和多模冗余。静态冗余通过表决和比较来屏蔽系统中出现的错误。例如，三模冗余是对三个功能相同，但由不同的人采用不同的方法开发出的模块的运行结果进行表决，以多数结果作为系统的最终结果。即如果模块中有一个出错，这个错误能够被其他模块的正确结果“屏蔽”。由于无需对错误进行特别的测试，也不必进行模块的切换就能实现容错，故称为静态容错。  
（2）动态冗余。动态冗余又称为主动冗余，它是通过故障检测、故障定位及故障恢复等手段达到容错的目的。其主要方式是多重模块待机储备，当系统检测到某工作模块出现错误时，就用一个备用的模块来顶替它并重新运行。各备用模块在其待机时，可与主模块一样工作，也可不工作。前者叫做热备份系统（双重系统），后者叫做冷备份系统（双工系统、双份系统）。在热备份系统中，两套系统同时、同步运行，当联机子系统检测到错误时，退出服务进行检修，而由热备份子系统接替工作，备用模块在待机过程中其失效率为0；处于冷备份的子系统平时停机或者运行与联机系统无关的运算，当联机子系统产生故障时，人工或自动进行切换，使冷备份系统成为联机系统。在运行冷备份时，不能保证从系统断点处精确地连续工作，因为备份机不能取得原来的机器上当前运行的全部数据。  
（3）混合冗余。混合冗余技术是将静态冗余和动态冗余结合起来，且取二者之长处。它先使用静态冗余中的故障屏蔽技术，使系统免受某些可以被屏蔽的故障的影响。而对那些无法屏蔽的故障则采用主动冗余中的故障检测、故障定位和故障恢复等技术，并且对系统可以作重新配置。因此，混合冗余的效果要大大优于静态冗余和动态冗余。然而，由于混合冗余既要有静态冗余的屏蔽功能，又要有动态冗余的各种检测和定位等功能，它的附加硬件的开销是相当大的，所以混合冗余的成本很高，仅在对可靠性要求极高的场合中采用。  
2．信息冗余  
信息冗余是在实现正常功能所需要的信息外，再添加一些信息，以保证运行结果正确性的方法。例如，检错码和纠错码就是信息冗余的例子。这种冗余信息的添加方法是按照一组预定的规则进行的。符合添加规则而形成的带有冗余信息的字称为码字，而那些虽带有冗余信息但不符合添加规则的字则称为非码字。当系统出现故障时，可能会将码字变成非码字，于是在译码过程中会将引起非码字的故障检测出来，这就是检错码的基本思想。纠错码则不仅可以将错误检测出来，还能将由故障引起的非码字纠正成正确的码字。  
由此可见，信息冗余的主要任务在于研究出一套理想的编码和译码技术来提高信息冗余的效率。编码技术中应用最广泛的是奇偶校验码、海明校验码和循环冗余校验码。  
3．时间冗余  
时间冗余是以时间（即降低系统运行速度）为代价以减少硬件冗余和信息冗余的开销来达到提高可靠性的目的。在某些实际应用中，硬件冗余和信息冗余的成本、体积、功耗、重量等开销可能过高，而时间并不是太重要的因素时，可以使用时间冗余。时间冗余的基本概念是重复多次进行相同的计算，或称为重复执行（复执），以达到故障检测的目的。  
实现时间冗余的方法很多，但是其基本思想不外乎是对相同的计算任务重复执行多次，然后将每次的运行结果存放起来再进行比较。若每次的结果相同，则认为无故障；若存在不同的结果，则说明检测到了故障。不过，这种方法往往只能检测到瞬时性故障而不宜检测永久性的故障。  
4．冗余附加  
冗余附加是指为实现上述冗余技术所需的资源和技术，包括程序、指令、数据，以及存放和调用它们的空间等。

**试题答案**

（31）A

# 试题53(2013年下半年试题1)

在程序执行过程中，Cache与主存的地址映像由（  ）。

（1）A．硬件自动完成   
B.程序员调度   
C.操作系统管理   
D.程序员与操作系统协同完成

**试题分析**

Cache与主存的地址映像需要专门的硬件自动完成，使用硬件来处理具有更高的转换速率。

**试题答案**

（1）A

# 试题54(2013年下半年试题2)

 指令寄存器的位数取决于（  ）。

（2）A．存储器的容量   
B.指令字长   
C.数据总线的宽度   
D.地址总线的宽度

**试题分析**

指令寄存器IR是用来存放要执行的指令的,所以跟指令的的长度有关。

**试题答案**

（2）B

# 试题55(2013年下半年试题3)

 若计算机存储数据采用的是双符号为（00表示正号、11表示负号），两个符号相同的数相加时，如果运算结果的两个符号位经 （  ）运算得1，则可断定这两个数相加的结果产生了溢出。

（3）A．逻辑与   
B.逻辑或   
C.逻辑同或   
D.逻辑异或

**试题分析**

计算机运算溢出检测机制，采用双符号位，00表示正号，11表示负号。如果进位将会导致符号位不一致，从而检测出溢出。结果的符号位为01时，称为上溢；为10时，称为下溢。

由此可知，溢出时如果对两个符号位进行异或运算，结果为1，符合题目条件。

**试题答案**

（3）D

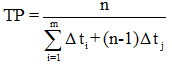
# 试题56(2013年下半年试题4)

某指令流水线由4段组成，各段所需要的时间如下图所示。连续输出8条指令时的吞吐率（单位时间内流水线所完成的任务数或输出的结果数）为（  ）。  
IMG_272

（4）A．8/56Δt   
B.8/32Δt   
C.8/28Δt   
D.8/24Δt

**试题分析**

当流水线各段所经历的时间不一样时，吞吐率的计算公式为：



       式中m为流水线的段数；△ti为第i段所需时间；n为输入的指令数；△tj为该段流水线中瓶颈段的时间。将题中已知条件代入上式，求出吞吐率TP为8/28△t。

**试题答案**

（4）C

# 试题57(2013年下半年试题5)

（  ）不是RISC的特点。

（5）A．指令种类丰富   
B.高效的流水线操作   
C.寻址方式较少   
D.硬布线控制

**试题分析**

RISC是简化指令集计算机的简略缩写，其风格是强调计算机结构的简单性和高效性。RISC设计是从足够的不可缺少的指令集开始的。它的速度比那些具有传统复杂指令组计算机结构的机器快得多，而且RISC机由于其较简洁的设计，较易使用，故具有更短的研制开发周期。

**试题答案**

（5）A

# 试题58(2013年下半年试题6)

若某计算机字长为32位，内存容量为2GB，按字编址，则可寻址范围为（  ）。

（6）A．1024M   
B.1GB   
C.512M   
D.2GB

**试题分析**

计算机字长为32位，按字编址（即1个字32个位，4个字节），则2GB的内存占用的地址数量为：512M。

**试题答案**

（6）C

# 试题59(2013年上半年试题5-6)

 地址编号从80000H到BFFFFH且按字节编址的内存容量为（  ）KB，若用16K\*4bit的存储器芯片构成该内存共需（  ）片。

（5）A．128   
B.256   
C.512   
D.1024   
  
（6）A．8   
B.16   
C.32   
D.64

**试题分析**

从80000H到BFFFFH有BFFFFH-80000H+1个地址单元，即40000H个地址单元。若按字节编址，有218个字节，即256KB。若用16K\*4bit的存储芯片，需要(256K\*2\*4bit)/(16K\*4bit)= 32片芯片。

**试题答案**

（5）B（6）C

# 试题60(2012年下半年试题1)

在CPU中，（  ）不仅要保证指令的正确执行，还要能够处理异常事件。

（1）A．运算器  
B.控制器  
C.寄存器组  
D.内部总线

**试题分析**

CPU是一台计算机的运算核心和控制核心，其由运算器、控制器、寄存器及实现它们之间联系的数据、控制及状态的总线构成。其中运算器负责相关的逻辑、算术运算，寄存器用来存放一些相关的数据，而内部总线负责各部件间信息的传递，而控制器不仅要保证指令的正确执行，还要能够处理异常事件。

**试题答案**

（1）B

# 试题61(2012年下半年试题2)

循环冗余校验码（CRC）利用生成多项式进行编码。设数据位为k位，校验位为r位，则CRC码的格式为（  ）。

（2）A．k个数据位之后跟r个校验位   
B.r个校验位之后跟k个数据位   
C.r个校验位随机加入k个数据位中   
D.r个校验位等间隔地加入k个数据位中

**试题分析**

循环冗余校验码在进行编码时，其编码的结果由数据位+校验位组成，其中数据位在前，而校验位在后。

**试题答案**

（2）A

# 试题62(2012年下半年试题3)

以下关于数的定点表示和浮点表示的叙述中，不正确的是（  ）。

（3）A．定点表示法表示的数（称为定点数）常分为定点整数和定点小数两种   
B.定点表示法中，小数点需要占用一个存储位   
C.浮点表示法用阶码和尾数来表示数，称为浮点数   
D.在总位数相同的情况下，浮点表示法可以表示更大的数

**试题分析**

在计算机中，并不用某个二进制位来表示小数点，而是隐含规定小数点的位置。若约定小数点的位置是固定的，这就是定点表示法。在定点表示法中约定：所有数据的小数点位置固定不变。通常，把小数点固定在有效数位的最前面或末尾。将小数点固定在有效数位的最前面，符号位的后面的定点数叫定点小数，一般用来表示纯小数；而另一种是将小数点固定在有效数位的末尾，这种定点数叫定点整数，也称为纯整数。  
因此在本题的四个选项中，只有B选项的描述是不正确的。

**试题答案**

（3）B

# 试题63(2012年下半年试题4)

（  ）不属于按寻址方式划分的一类存储器。

（4）A．随机存储器   
B.顺序存储器   
C.相联存储器   
D.直接存储器

**试题分析**

相联存储器是一种按存储内容来存储和访问的存储器，不属于按寻址方式划分的存储器。

**试题答案**

（4）C

# 试题64(2012年下半年试题6)

（  ）不属于系统总线。

（6）A．ISA   
B.EISA   
C.SCSI   
D.PCI

**试题分析**

简而言之，系统总线就是用来连接微机各功能部件而构成一个完整微机系统的总线，因此系统总线是微机系统中最重要的总线，我们常说的微机总线就是指系统总线，比如PC总线、ISA总线、EISA总线、PCI总线等都属于系统总线。  
SCSI是小型计算机系统接口的简称，是一种智能的通用接口标准。可以说是各种计算机与外部设备之间的接口标准。

**试题答案**

（6）C

# 试题65(2012年下半年试题32)

在屏蔽软件错误的容错系统中，冗余附加技术的构成不包括（  ）。

（32）A．关键程序和数据的冗余存储及调用   
B.冗余备份程序的存储及调用   
C.实现错误检测和错误恢复的程序   
D.实现容错软件所需的固化程序

**试题分析**

容错系统是指在一定程度上具有容错功能的系统，实现容错的主要办法就是冗余，冗余附加技术的构成主要包括冗余备份程序的存储及调用、实现错误检测和错误恢复的程序、实现容错软件所需的固化程序。

**试题答案**

（32）A

# 试题66(2012年上半年试题1)

位于CPU与主存之间的高速缓冲存储器Cache用于存放部分主存数据的拷贝，主存地址与Cache地址之间的转换工作由（  ）完成。

（1）A．硬件   
B.软件   
C.用户   
D.程序员

**试题分析**

从Cache-主存层次实现的目标看，一方面既要使CPU的访存速度接近于访Cache的速度，另一方面为用户程 序提供的运行空间应保持为主存容量大小的存储空间。在采用Cache-主存层次的系统中，Cache对用户程序而言是透明的，也就是说，用户程序可以不需 要知道Cache的存在。因此，CPU每次访存时，依然和未使用Cache的情况一样，给出的是一个主存地址。但在Cache-主存结构中，CPU首先访问的是Cache，并不是主存。为此，需要一种机制将CPU的访主存地址转换成访Cache地址，这个处理过程对速度要求非常高，因此其是完全由硬件来完成的。

**试题答案**

（1）A

# 试题67(2012年上半年试题2)

内存单元按字节编址，地址0000A000H～0000BFFFH共有（  ）个存储单元。

（2）A．8192K   
B.1024K   
C.13K   
D.8K

**试题分析**

本题考查计算机中的存储部件组成  
内存按字节编址，地址从0000A000H到0000BFFFH时，存储单元数为0000BFFFH -0000A000H +1H=00002000H，转换为二进制后为0010 0000 0000 0000即213，即8K个存储单元。

**试题答案**

（2）D

# 试题68(2012年上半年试题3)

相联存储器按（  ）访问。

（3）A．地址   
B.先入后出的方式   
C.内容   
D.先入先出的方式

**试题分析**

相联存储器一种按内容进行存储和访问的存储器。

**试题答案**

（3）C

# 试题69(2012年上半年试题4)

若CPU要执行的指令为：MOV R1，#45（即将数值45传送到寄存器R1中），则该指令中采用的寻址方式为（  ）。

（4）A．直接寻址和立即寻址   
B.寄存器寻址和立即寻址   
C.相对寻址和直接寻址   
D.寄存器间接寻址和直接寻址

**试题分析**

本题主要考查各寻址方式。  
立即寻址的特点是：指令的地址字段指出的不是操作数的地址，而是操作数本身；直接寻址特点是：在指令格式的地址字段中直接指出操作数在内存的地址；寄存器寻址的特点是：指令中给出的操作数地址不是内存的地址单元号，而是通用寄存器的编号（当操作数不放在内存中，而是放在CPU的通用寄存器中时，可采用寄存器寻址方式）；寄存器间接寻址方式与寄存器寻址方式的区别在于：指令格式中操作数地址所指向的寄存器中存放的内容不是操作数，而是操作数的地址，通过该地址可在内存中找到操作数；相对寻址的特点是：把程序计数器PC的内容加上指令格式中的形式地址来形成操作数的有效地址。  
在本题中，指令中的两个操作数，分别使用的是寄存器寻址和立即寻址，因为在这个指令中，其第一个操作数字段是一个寄存器编号，而第二个操作数字段就是操作数本身。

**试题答案**

（4）B

# 试题70(2012年上半年试题5-6)

一条指令的执行过程可以分解为取指、分析和执行三步，在取指时间t取指=3△t、分析时间t分析=2△t、执行时间t执行=4△t的情况下，若按串行方式执行，则10条指令全部执行完需要（  ）△t；若按流水线的方式执行，则10条指令全部执行完需要（  ）△t。

（5）A．40   
B.70   
C.90   
D.100   
  
（6）A．20   
B.30   
C.40   
D.45

**试题分析**

串行执行时，每条指令都需三步才能执行完，没有重叠。总的执行时间为：（3+2+4）△t×10=90△t。  
按流水线方式执行，系统在同一时刻可以进行第k条指令的取指，第k+1条指令的分析，第k+2条指令的执行，所以效率大大提高了。我们平时用的流水线计算公式是：第一条指令顺序执行时间+(指令条数-1)´周期，而周期与三个步骤时间最长的保持一致，因此本题的计算结果为：9+（10-1）\*4=45。

**试题答案**

（5）C（6）D

# 试题71(2011年下半年试题1)

若某条无条件转移汇编指令采用直接寻址，则该指令的功能是将指令中的地址码送入（  ）。

（1）A．PC（程序计数器）   
B.AR（地址寄存器）   
C.AC（累加器）   
D.ALU（算逻运算单元）

**试题分析**

本题主要考查寄存器的相关内容。  
程序计数器是用于存放下一条指令所在单元的地址的地方。在程序执行前，必须将程序的起始地址，即程序的一条指令所在的内存单元地址送入程序计数器，当执行指令时，CPU将自动修改程序计数器的内容，即每执行一条指令程序计数器增加一个量，使其指向下一个待指向的指令。程序的转移等操作也是通过该寄存器来实现的。  
地址寄存器一般用来保存当前CPU所访问的内存单元的地址，以方便对内存的读写操作。  
累加器是专门存放算术或逻辑运算的一个操作数和运算结果的寄存器  
ALU是CPU的执行单元，主要负责运算工作。

**试题答案**

（1）A

# 试题72(2011年下半年试题3)

在程序的执行过程中，Cache与主存的地址映像由（  ）。

（3）A．专门的硬件自动完成   
B.程序员进行调度   
C.操作系统进行管理   
D.程序员和操作系统共同协调完成

**试题分析**

Cache与主存的地址映像需要专门的硬件自动完成，使用硬件来处理具有更高的转换速率。

**试题答案**

（3）A

# 试题73(2011年下半年试题4)

总线复用方式可以（  ）。

（4）A．提高总线的传输带宽   
B.增加总线的功能   
C.减少总线中信号线的数量   
D.提高CPU利用率

**试题分析**

总线复用，顾名思义就是一条总线实现多种功能。常见的总线复用方式有总线分时复用，它是指在不同时段利用总线上同一个信号线传送不同信号，例如，地址总线和数据总线共用一组信号线。采用这种方式的目的是减少总线数量，提高总线的利用率。

**试题答案**

（4）C

# 试题74(2011年下半年试题5)

在CPU的寄存器中，（  ）对用户是完全透明的。

（5）A．程序计数器   
B.指令寄存器   
C.状态寄存器   
D.通用寄存器

**试题分析**

指令寄存器用来存放当前正在执行的指令，对用户是完全透明的。  
状态寄存器用来存放计算结果的标志信息，如进位标志、溢出标志等。  
通用寄存器可用于传送和暂存数据，也可参与算术逻辑运算，并保存运算结果。

**试题答案**

（5）B

# 试题75(2011年下半年试题6)

CPU中译码器的主要作用是进行（  ）。

（6）A．地址译码   
B.指令译码   
C.数据译码   
D.选择多路数据至ALU

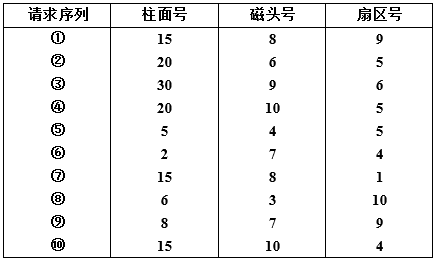
**试题分析**

在计算机中，通常都是二进制代码，如果我们要将一个信息放到计算机中去表述，就都需要将其编码为二进制代码，在编码时，每一种二进制代码，都赋予了特定的含义，即都表示了一个确定的信号或者对象。而译码就是编码的逆过程。  
CPU中的译码器的主要作用是对指令进行译码。

**试题答案**

（6）B

# 试题76(2011年下半年试题26-27)

假设磁盘每磁道有18个扇区，系统刚完成了10号柱面的操作，当前移动臂在13号柱面上，进程的请求序列如下表所示。若系统采用SCAN（扫描）调度算法，则系统响应序列为（  ）；若系统采用CSCAN（单向扫描）调度算法，则系统响应序列为（  ）。  


（26）A．⑦⑩①②④③⑨⑧⑤⑥   
B.①⑦⑩②③④⑥⑤⑧⑨   
C.⑦⑩①②④③⑥⑤⑧⑨   
D.①⑦⑩②③④⑧⑨⑥⑤   
  
（27）A．⑦⑩①②④③⑨⑧⑤⑥   
B.①⑦⑩②③④⑥⑤⑧⑨   
C.⑦⑩①②④③⑥⑤⑧⑨   
D.①⑦⑩②③④⑧⑨⑥⑤

**试题分析**

SCAN调度算法也叫“电梯”算法，磁头固定从外向内然后从内向外沿柱面运动。如此往复，遇到所请求的柱面时立即为其服务。  
在本题中，题目告诉我们系统刚完成了10号柱面的操作，当前移动臂在13号柱面上，说明目前磁头正由小柱面号向大柱面号方向移动，那么根据SCAN调度的原则，接着应该响应柱面号为15的请求，而在题目中给出了三个柱面号为15的请求，但其中①和⑦是磁头号8，而7的扇区号为1，因此应该先响应进程⑦，而⑩是用磁头号为10，其扇区号为4，因此接着要响应进程⑩，然后再响应进程①，接着就要出来柱面号为20的进程，分别为②和④，它们的扇区号相同，而进程②的磁头号为6，进程④的磁头号为10，因此应该先响应②；再接着应该响应柱面号为30的进程，当磁头在这个方向上移动时，也无进程需要出来，因此只有当磁头由大柱面号向小柱面号方向移动时，再来出来其它进程，处理的次序应该要根据柱面号从大到小，因此是⑨⑧⑤⑥。  
而采用CSCAN（单向扫描）调度算法，它的磁头是单向移动的，也就是当磁头从内向外移动到最外面时，磁头放到最内，然后再从内向外扫描。因此采用这种方式得到的响应序列应该是⑦⑩①②④③⑥⑤⑧⑨。

**试题答案**

（26）A（27）C

# 试题77(2011年上半年试题1)

在CPU中用于跟踪指令地址的寄存器是（  ）。

（1）A．地址寄存器(MAR)   
B.数据寄存器(MDR)   
C.程序计数器(PC)   
D.指令寄存器(IR)

**试题分析**

本题主要考查寄存器的相关内容。  
程序计数器是用于存放下一条指令所在单元的地址的地方。在程序执行前，必须将程序的起始地址，即程序的一条指令所在的内存单元地址送入程序计数器，当执行指令时，CPU将自动修改程序计数器的内容，即每执行一条指令程序计数器增加一个量，使其指向下一个待指向的指令。程序的转移等操作也是通过该寄存器来实现的。  
指令寄存器一般用来保存当前正在执行的一条指令。  
数据寄存器主要是用来保存操作数和运算结果等信息的，其目的是为了节省读取操作数所需占用总线和访问存储器的时间。  
地址寄存器一般用来保存当前CPU所访问的内存单元的地址，以方便对内存的读写操作。  
作为程序员，应该要能控制其所编写程序的执行过程，这就需要利用程序计数器来实现，因此程序员能访问的是程序计数器。

**试题答案**

1. C

# 试题78(2011年上半年试题2)

指令系统中采用不同寻址方式的目的是（  ）。

（2）A．提高从内存获取数据的速度   
B.提高从外存获取数据的速度   
C.降低操作码的译码难度   
D.扩大寻址空间并提高编程灵活性

**试题分析**

    寻址是指寻找操作数的地址或下一条将要执行的指令地址。数据和指令一般都需要存放在一些存储器的存储单元中，存储器对这些存储单元进行编号，这些编号就是数据和指令的地址，如果在应用中需要用到这些数据或指令时，就通过它们的地址到存储器中去寻找，这就是寻址。  
    假如某主机的主存容量可达1MB，而指令中的地址码字段最长仅16位，只能直接访问主存的一小部分，而无法访问到整个主存空间，而采用不同的寻址方式可以实现对整个主存空间的访问。就是在字长很长的大型机中（地址码字段足够长），即使指令中能够拿出足够的位数来作为访问整个主存空间的地址，但为了灵活、方便地编制程序，也需要对地址进行必要的变换。  
    综上所述，可知本题答案选D。

**试题答案**

（2）D

# 试题79(2011年上半年试题3)

在计算机系统中采用总线结构，便于实现系统的积木化构造，同时可以（  ）。

（3）A．提高数据传输速度   
B.提高数据传输量   
C.减少信息传输线的数量   
D.减少指令系统的复杂性

**试题分析**

总线是在计算机中连接两个或多个功能部件的一组共享的信息传输线，它的主要特征就是多个部件共享传输介质。它是构成计算机系统的骨架，是各个功能部件之间进行信息传输的公共通道，借助总线的连接，计算机各个部件之间可以传送地址、数据和各种控制信息。在计算机系统中采用总线结构，便于实现系统的积木化构造，同时可以有效减少信息传输线的数量。

**试题答案**

（3）C

# 试题80(2011年上半年试题4)

原码表示法和补码表示法是计算机中用于表示数据的两种编码方法，在计算机系统中常采用补码来表示和运算数据，原因是采用补码可以（  ）。

（4）A．保证运算过程与手工运算方法保持一致   
B.简化计算机运算部件的设计   
C.提高数据的运算速度   
D.提高数据的运算精度

**试题分析**

    在计算机中，各类运算都等可以采用补码进行，特别是对于有符号数的运算。在计算机中设计补码的目的一是为了使符号位能与有效值部分一起参加运算，从而简化运算规则，使运算部件的设计更简单；二是为了使减法运算转换为加法运算，进一步简化计算机中运算器的线路设计。因此在计算机系统中常采用补码来表示和运算数据，原因是采用补码可以简化计算机运算部件的设计。

**试题答案**

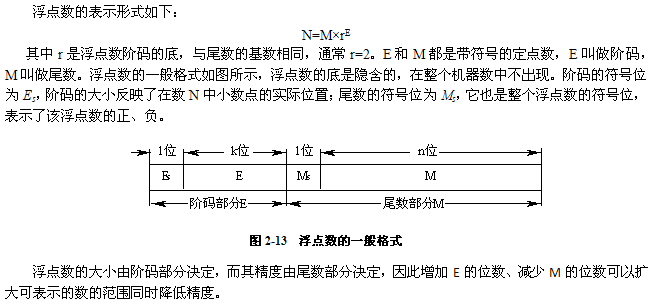
（4）B

# 试题81(2011年上半年试题5)

计算机中的浮点数由三部分组成：符号位S，指数部分E（称为阶码）和尾数部分M。在总长度固定的情况下，增加E的位数、减少M的位数可以（  ）。

（5）A．扩大可表示的数的范围同时降低精度   
B.扩大可表示的数的范围同时提高精度   
C.减小可表示的数的范围同时降低精度   
D.减小可表示的数的范围同时提高精度

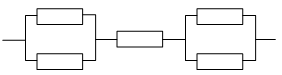
**试题分析**



**试题答案**

（5）A

# 试题82(2011年上半年试题6)

某计算机系统由下图所示的部件构成，假定每个部件的千小时可靠度都为R，则该系统的千小时可靠度为（  ）。  


（6）A．R+2R/4   
B.R+R2/4   
C.R(1-(1-R)2)   
D.R(1-(1-R)2)2

**试题分析**

本题考查系统可靠性。  
计算机系统是一个复杂的系统，而且影响其可靠性的因素也非常繁复，很难直接对其进行可靠性分析。若采用串联方式，则系统可靠性为每个部件的乘积R=R1×R2×R3×…×Rn；若采用并联方式，则系统的可靠性为R=1-(1-R1)×(1-R2)×(1-R3)×…×(1-Rn)。  
在本题中，既有并联又有串联，计算时首先我们要分别计算图中两个并联后的可靠度，它们分别为1-(1-R)2，然后是三者串联，根据串联的计算公式，可得系统的可靠度为R×1-(1-R)2×1-(1-R)2= R(1-(1-R)2)2。因此本题答案选D。

**试题答案**

1. D

# 试题83(2011年上半年试题31)

软件产品的可靠性并不取决于（  ）。

（31）A．潜在错误的数量   
B.潜在错误的位置   
C.软件产品的使用方式   
D.软件产品的开发方式

**试题分析**

软件产品的使用方式是由用户决定的，如果测试阶段没发现问题，而用户使用发现大量问题，从而影响可靠性，不能将责任归咎于用户使用不当，只能说明系统本身存在问题，测试工作不到位，所以可靠性本来就低。从这个角度来讲，软件产品的使用方式并不对系统的可靠性产生影响。

**试题答案**

（31）C

# 试题84(2011年上半年试题32)

软件（  ）是指一个系统在给定时间间隔内和给定条件下无失效运行的概率。

（32）A．可靠性   
B.可用性   
C.可维护性   
D.可伸缩性

**试题分析**

软件的可靠性是指一个系统在给定时间间隔内和给定条件下无失效运行的概率。  
软件的可用性是指软件在特定使用环境下为特定用户用于特定用途时所具有的有效性。  
软件的可维护性是指与软件维护的难易程度相关的一组软件属性。  
软件的可伸缩性是指是否可以通过运行更多的实例或者采用分布式处理来支持更多的用户。

**试题答案**

（32）A

# 试题85(2010年下半年试题2)

若某计算机采用8位整数补码表示数据，则运算（  ）将产生溢出。

（2）A．-127+1   
B.-127-1   
C.127+1   
D.127-1

**试题分析**

采用8位整数补码表示数据，数据的表示范围是-128至127，因此在各选择中运算会发生溢出的是C。

**试题答案**

1. C

# 试题86(2010年下半年试题3)

若内存容量为4GB，字长为32，则（  ）。

（3）A．地址总线和数据总线的宽度都为32   
B.地址总线的宽度为30，数据总线的宽度为32   
C.地址总线的宽度为30，数据总线的宽度为8   
D.地址总线的宽度为32，数据总线的宽度为8

**试题分析**

字长是指在同一时间中CPU处理二进制数的位数叫字长。  
数据总线是用于在计算机中传送数据的总线，它可以把CPU的数据传送到存储器或输入输出接口等其它部件，也可以将其它部件的数据传送到CPU。数据总线的位数是微型计算机的一个重要指标，通常与微处理的字长相一致。   
地址总线是传送地址信息的总线，根据地址总线的多少可以确定内存容量的大小，如32位的地址总线可以允许2的32次方的内存容量。

**试题答案**

（3）A

第 1 章：计算机组成与体系结构作者：[希赛软考学院](http://www.educity.cn/jiaocheng/a%cf%a3%c8%fc%c8%ed%bf%bc%d1%a7%d4%ba.html)    来源：希赛软考学院    2017年07月05日

# 试题87(2010年下半年试题4)

设用2K×4位的存储器芯片组成16K×8位的存储器（地址单元为OOOOH～3FFFH，每个芯片的地址空间连续），如果按字节编址，则地址单元OB1FH所在芯片的最小地址编号为（  ）。

（4）A．OOOOH   
B.0800 H   
C.2000 H   
D.2800 H

**试题分析**

    芯片的大小为2k×4位，而存储器的大小为16k×8位，不难得出要获得这样一个大小的存储器，需要16片2k×4位的芯片。  
    如果按字节编址，对应一个大小为16k×8位的存储器，需要14位地址，其中高4位为片选地址，低10位为片内地址，而题目给出的地址0B1FH转换为二进制为00 1011 0001 1111，其高4位为0010，即片选地址为2。因此，地址0B1FH对应第2片芯片，该芯片的起始地址（最小地址）为00 1000 0000 0000，即0800H。

**试题答案**

（4）B

# 试题88(2010年下半年试题5)

编写汇编语言程序时，下列寄存器中程序员可访问的是（  ）。

（5）A．程序计数器(PC)   
B.指令寄存器（IR)   
C.存储器数据寄存器(MDR）   
D.存储器地址寄存器（MAR)

**试题分析**

程序计数器是用于存放下一条指令所在单元的地址的地方。在程序执行前，必须将程序的起始地址，即程序的一条指令所在的内存单元地址送入程序计数器，当执行指令时，CPU将自动修改程序计数器的内容，即每执行一条指令程序计数器增加一个量，使其指向下一个待指向的指令。程序的转移等操作也是通过该寄存器来实现的。  
指令寄存器一般用来保存当前正在执行的一条指令。  
存储器数据寄存器主要是用来保存操作数和运算结果等信息的，其目的是为了节省读取操作数所需占用总线和访问存储器的时间。  
存储器地址寄存器一般用来保存当前CPU所访问的内存单元的地址，以方便对内存的读写操作。  
作为程序员，应该要能控制其所编写程序的执行过程，这就需要利用程序计数器来实现，因此程序员能访问的是程序计数器。

**试题答案**

（5）A

# 

# 试题89(2010年下半年试题26)

某磁盘磁头从一个磁道移至另一个磁道需要10ms。文件在磁盘上非连续存放，逻辑上相邻数据块的平均移动距离为10个磁道，每块的旋转延迟时间及传输时间分别为100ms和2ms，则读取一个100块的文件需要（  ）ms时间。

（26）A．10200   
B.11000   
C.11200   
D.20200

**试题分析**

本题主要考查读取磁盘数据的相关知识。  
在本题中读取磁盘数据的时间应包括：  
（1）找磁道的时间。逻辑上相邻数据块的平均移动距离为10个磁道，那么平均读取一块数据所需要的找磁道时间=10\*10=100ms。  
（2）找块（扇区）的时间，即旋转延迟时间  
（3）传输时间  
按照上面的描述计算，我们可以找到平均读取一块数据需要的时间为100+100+2=202ms，那么读取100块数据需要的时间为100\*202=20200ms。

**试题答案**

1. D

# 试题90(2010年下半年试题29)

冗余技术通常分为4类，其中（  ）按照工作方法可以分为静态、动态和混合冗余。

（29）A．时间冗余   
B.信息冗余   
C.结构冗余   
D.冗余附加技术

**试题分析**

冗余技术一般包括时间冗余、信息冗余、结构冗余和冗余附加技术，其中结构冗余按照工作方法可以分为静态、动态和混合冗余。

**试题答案**

（29）C

# 

# 试题91(2010年上半年试题27-28)

  假设某磁盘的每个磁道划分成9个物理块，每块存放1个逻辑记录。逻辑记录R0，R1，…，R8存放在同一个磁道上，记录的安排顺序如下表所示：

IMG_277

    如果磁盘的旋转速度为 27ms/周，磁头当前处在 R0 的开始处。若系统顺序处理这些记录，使用单缓冲区，每个记录处理时间为 3ms，则处理这 9 个记录的最长时间为（  ）；若对信息存储进行优化分布后，处理 9个记录的最少时间为（  ）。

（27）A．54ms   
B.108ms   
C.246ms   
D.243ms   
  
（28）A．27ms   
B.54ms   
C.108ms   
D.216ms

**试题分析**

系统读记录的时间为27/9=3ms，

对R1的处理，先读出记录需要3ms，然后处理，同时磁头也在转动，当处理完R1时，磁头已经到达R3的位置。

再处理R2 ，磁头需要旋转到R2的开始位置，至此，一共花费了30ms。后面的R2至R8依此类推。

···

再处理R9，读出记录3ms，然后处理需要3ms。

因此整个的时间为：8\*30+3+3=246ms

IMG_278

对于第二种情况，若对信息进行分布优化的结果如下所示：  
从上表可以看出，当读出记录R1并处理结束后，磁头刚好转至R2记录的开始处，立即就可以读出并处理，因此处理9个记录的总时间为：  
    9×（3ms（读记录）＋3ms（处理记录））＝9 × 6ms=54ms

**试题答案**

（27）C（28）B